



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08070100 A**(43) Date of publication of application: **12.03.96**

(51) Int. Cl. **H01L 27/04**  
**H01L 21/822**  
**G11C 11/22**

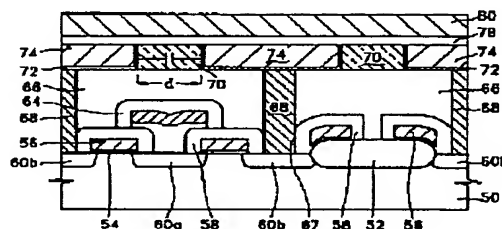
(21) Application number: **07203401**(22) Date of filing: **09.08.95**(30) Priority: **17.08.94 KR 94 9420296**(71) Applicant: **SAMSUNG ELECTRON CO LTD**(72) Inventor: **KANG CHANG-SEOK****(54) MANUFACTURE OF FERROELECTRIC CAPACITOR****(57) Abstract:**

**PROBLEM TO BE SOLVED:** To easily form a lower electrode by patterning and to protect a device against malfunctions caused by a coupling capacitance by a method, wherein a matter layer and the lower electrode are successively polished through a chemical mechanical polishing method, and the lower electrode is patterned so as to be left in a low dielectric pattern.

**SOLUTION:** Conductive material, such as Ti or the like is deposited on a structure where a low dielectric pattern 70, is formed to serve as a barrier conductive layer 72. Then, heat-resistant conductive material such as Pt or the like is deposited on the barrier conductive layer 72 to serve as a capacitor lower electrode 74, in succession spin-glass is applied thick thereon to planarize the surface. Then, the capacitor lower electrode 74 is patterned until the surface of the low dielectric pattern 70 is exposed, and a ferroelectric material is deposited on the patterned lower electrode 74 to serve as a capacitor ferroelectric film 78. Then, conductive material such as Pt or the like is deposited

on the ferroelectric film 78 to serve as an upper electrode 80.

COPYRIGHT: (C)1996,JPO



# 引用文献 4

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-70100

(43) 公開日 平成8年(1996)3月12日

(51) Int.Cl.<sup>6</sup> 識別記号 庁内整理番号 F I 技術表示箇所

H 0 1 L 27/04  
21/822  
G 1 1 C 11/22

H 0 1 L 27/ 04

C

審査請求 未請求 請求項の数7 O L (全 5 頁)

(21) 出願番号 特願平7-203401  
(22) 出願日 平成7年(1995)8月9日  
(31) 優先権主張番号 1994 P 20296  
(32) 優先日 1994年8月17日  
(33) 優先権主張国 韓国 (K R)

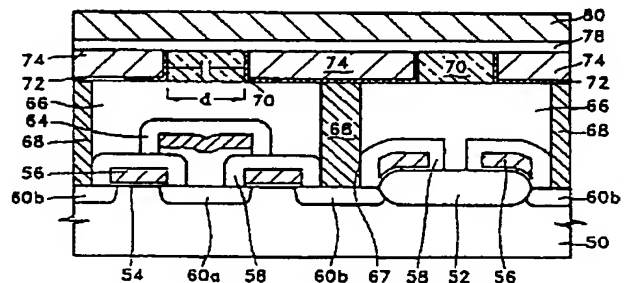
(71) 出願人 390019839  
三星電子株式会社  
大韓民国京畿道水原市八達区梅灘洞416  
(72) 発明者 姜 昌錫  
大韓民国 京畿道 水原市 八達区 梅灘  
洞 810-1 番地 現代アパート 103棟  
104号  
(74) 代理人 弁理士 服部 雅紀

(54) 【発明の名称】 強誘電体キャパシタ製造方法

(57) 【要約】

【課題】 強誘電体膜を具備するキャパシタ製造方法を提供する。

【解決手段】 半導体基板50上に低誘電体パターン70を形成したのち、キャパシタ下部電極74および物質層を順に形成する。化学機械ポリッシング (CMP) 方法で前記物質層およびキャパシタ下部電極74を順に研磨してキャパシタ下部電極74をバタニングした後、強誘電体膜78および上部電極80を順に形成する。これにより、キャパシタ下部電極74を容易にバタニングすることができ、キャパシタと隣接キャパシタ間のカップリングキャパシタンスによる素子の誤動作を防止し得る。



BEST AVAILABLE COPY

1

## 【特許請求の範囲】

【請求項1】 半導体基板上に低誘電体パターンを形成する段階と、

前記低誘電体パターンの形成された結果物上に下部電極および物質層を順に形成する段階と、

化学機械ポリッシング (CMP) 方法で前記物質層および下部電極を順に研磨することにより、前記低誘電体パターンの間に前記下部電極が残るように前記下部電極をパタニングする段階と、

前記下部電極のパタニングされた結果物上に強誘電体膜を形成する段階と、

前記強誘電体膜上に前記上部電極を形成する段階とを具備することを特徴とするキャパシタ製造方法。

【請求項2】 前記低誘電体パターンを構成する物質として、HTO、USGおよびBPSG群から選ばれたいずれか一つを使用することを特徴とする請求項1記載のキャパシタ製造方法。

【請求項3】 前記強誘電体膜を構成する物質として、PZT (PbZrTiO<sub>3</sub>)、BST (BaSrTiO<sub>3</sub>)、SrTiO<sub>3</sub>、BaTiO<sub>3</sub>、PbTiO<sub>3</sub>およびBi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>群から選ばれたいずれか一つを使用することを特徴とする請求項1記載のキャパシタ製造方法。

【請求項4】 前記下部電極を構成する物質として耐熱性金属又は導電性酸化物を使用することを特徴とする請求項1記載のキャパシタ製造方法。

【請求項5】 前記耐熱性金属は白金 (Pt) やタantal (Ta)、イリジウム (Ir)、ルテニウム (Ru) のうちいずれか一つを使用して形成することを特徴とする請求項4記載のキャパシタ製造方法。

【請求項6】 前記導電性酸化物は酸化ルテニウム (RuO<sub>2</sub>) や酸化イリジウム (IrO<sub>2</sub>) を使用することを特徴とする請求項4記載のキャパシタ製造方法。

【請求項7】 前記物質層を構成する物質としてスピノンガラス (SOG) を使用することを特徴とする請求項1記載のキャパシタ製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置のキャパシタ製造方法に係り、特に強誘電体膜を具備するキャパシタ製造方法に関する。

【0002】

【従来の技術】 DRAM (Dynamic Random Access Memory) 装置の集積度の増加により、制限されたセル面積内でキャパシタンスを増やすための多くの方法が提案されているが、通常次の3種に分類され得る。即ち、(1) 誘電体膜を薄膜化する方法、(2) キャパシタの誘電体膜の有効面積を増やす方法、(3) 誘電定数の大きい物質を使用する方法である。

【0003】 このうち、第1の方法は誘電体膜の厚さを100Å以下に薄膜化する場合、ファウラノードハイム

2

(Fowler-Nordheim) 電流により信頼性が低下するので、大容量メモリ素子に適用しにくいという短所がある。第2の方法も、3次元構造のキャパシタを製造するために工程が複雑になりコスト高になる短所がある。

【0004】 したがって、最近第3の方法として、ペロブスカイト構造の強誘電体、例えばPZT (PbZrTiO<sub>3</sub>) やBST (BaSrTiO<sub>3</sub>) などを誘電体膜として使用することが提案されている。強誘電体膜は既存の酸化膜、シリコンナイトライド膜やタンタルペントオキサイド (Ta<sub>2</sub>O<sub>5</sub>) 膜とは異なり、自発分極現象を有し誘電定数が通常数百~1000程度である物質をいう。このような強誘電体を誘電膜として使用する場合は、前記強誘電体を数百Åの厚膜に形成しても等価酸化膜の厚さを10Å以下に薄膜化することができる。

【0005】

【発明が解決しようとする課題】 PZTやBSTなどを誘電体膜として使用する時キャパシタの電極を構成する物質は、①電極上でペロブスカイト構造の形成が可能である、②電極と強誘電体膜との界面に低誘電体膜が生成しない、③シリコンと強誘電体の構成原子が相互拡散されることを防止できる、④パタニングが容易であるという条件を満たさなければならない。しかし、現在PZTやBST誘電体膜などのキャパシタ電極物質として最も多用されている白金 (Pt) は、前述した①~③の条件は満たすが④の条件を満たさない。これは、白金は極めて固い耐熱性金属であるため、他の化学物質と反応することが困難であり反応性イオン食刻方法により容易に食刻されないからである。

【0006】 さらに、PZTやBST誘電体膜などを256Mb級以上のDRAMに適用するためには、キャパシタと隣接キャパシタ間の間隔が徐々に小さくなることを考慮してこれらのキャパシタ間のカップリングキャパシタンスによる素子の誤動作を防止することが望ましい。このような誤動作を防止するためにキャパシタの側壁に酸化物スペーサを形成する方法が提案されている。前記方法によるキャパシタを有するメモリセルの断面を図1に示す。

【0007】 図1を参照すれば、フィールド酸化膜12により活性領域および分離領域に区分された半導体基板10に、ドレイン領域18a、ソース領域18bおよびゲート電極16を具備するトランジスタと、ドレイン領域18aに接続される下部ビットライン20とを形成した後、結果物の全面に絶縁層を形成する。次いで、ソース領域18bを露出させるコンタクトホールを形成したのち、前記コンタクトホールの内部を導電物質で埋め立てて導電性プラグ22を形成する。次いで、前記結果物上に障壁導電層24および白金よりなるキャパシタ下部電極26を順に形成し、続いてこの障壁導電層24および下部電極26の側壁に酸化物スペーサ28を形成する。次いで、前記結果物上にBSTよりなる強誘電体膜

3

30とキャパシタ上部電極32を順に形成した後、通常の製造方法により上部ビットライン34およびアルミニウム配線36を順に形成する。

【0008】前述した従来の方法によれば、白金をパタニングすることが困難であるだけでなく、キャパシタと\*

$$1/C_{cp} = 1/C_{ox1} + 1/C_{ox2} + 1/C_{fe} = 2/C_{ox} + 1/C_{fe} \quad \dots (1)$$

ここで、 $C_{fe}$  は強誘電体膜で発生されるキャパシタンスであり、 $C_{ox1}$ 、 $C_{ox2}$  は図1に示されたように酸化キャパシタンスであって、例えば  $C_{ox}$  と同一であると仮定される。結果的に、

$$1/C_{cp} = (2C_{fe} + C_{ox})/C_{ox}C_{fe} \quad \dots (2)$$

または、

$$C_{cp} = C_{ox}C_{fe}/(2C_{fe} + C_{ox}) \quad \dots (3)$$

となる。

【0009】次に、 $C_{fe}$  が  $C_{ox}$  より大きいと仮定すれば、

$$C_{cp} \approx C_{ox}/2 \quad \dots (4)$$

であり、したがって、

$$C_{cp} \approx (\epsilon_{ox}/2)(A_{ox}/d_{ox}) \quad \dots (5)$$

となる。

【0010】ここで、 $A_{ox}$  はコンタクト領域の面積であり、 $d_{ox}$  は酸化物スペーサの厚さであり、 $\epsilon_{ox}$  は酸化誘電率である。ストレージノードが円柱であると仮定すると、酸化物スペーサがストレージノードと接する面積  $A_{ox}$  は「ストレージノードの高さ×ストレージノードの円周」で与えられる。したがって、メモリセルの集積度がさらに向上されて面積  $A_{ox}$  が大きくなったり、スペーサの厚さ  $d_{ox}$  が薄くなる場合、前記したカップリングキャパシタンスによる操作の誤動作の問題がさらに深刻になる。

【0011】本発明の目的は、前述した従来の方法の問題点を解決し得る強誘電膜を具備するキャパシタ製造方法を提供することにある。

【0012】

【課題を解決するための手段】前記の目的を達成するために本発明は、半導体基板上に低誘電体パターンを形成する段階と、前記低誘電体パターンの形成された結果物上に下部電極および物質層を順に形成する段階と、化学機械ポリッシング方法で前記物質層および下部電極を順に研磨することにより、前記低誘電体パターンとの間に前記下部電極が残るように前記下部電極をパタニングする段階と、前記下部電極のパタニングされた結果物上に強誘電体膜を形成する段階と、前記強誘電体膜上に前記上部電極を形成する段階とを具備することを特徴とするキャパシタ製造方法を提供する。

【0013】本発明の望ましい実施例によれば、前記低誘電体パターンを構成する物質としては高温酸化物 (High Temperature Oxide; HTO)、USG (Undoped Silica Glass) および BPSG (Boron Phosphorous doped Silica Glass) 群から選ばれたいずれか一つを使用し、

4

\*隣接キャパシタとの間にカップリングキャパシタンスが発生して素子の誤動作を誘発するようになる。ここで、カップリングキャパシタンス  $C_{cp}$  は下記(1)式で示される。

10

前記強誘電体膜を構成する物質としては PZT ( $PbZrTiO_3$ )、BST ( $BaSrTiO_3$ )、 $SrTiO_3$ 、 $BaTiO_3$ 、 $PbTiO_3$  および  $Bi_4Ti_3O_{12}$  群から選ばれたいずれか一つを使用することが望ましい。前記下部電極を構成する物質としては白金 (Pt) やタンタル (Ta)、イリジウム (Ir)、ルテニウム (Ru) 等の耐熱性金属又は酸化ルテニウム ( $RuO_2$ ) や酸化イリジウム ( $IrO_2$ ) 等の導電性酸化物を使用することが望ましい。前記物質層を構成する物質としてはスピノンガラス (Spin-On Glass; 以下 "SOG" とする) を使用することが望ましい。

20

【0014】前記化学機械ポリッシング (Chemical Mechanical Polishing; 以下 "CMP" とする) 方法による前記物質層および下部電極の研磨は前記低誘電体パターンの表面が露出されるまで進行することが望ましい。

【0015】

30

【発明の実施の形態】以下、添付した図面に基づき本発明を詳細に説明する。図2～図6は、本発明の一実施例による強誘電体キャパシタを有する半導体メモリ装置の製造方法を順に説明するための断面図である。図2は、半導体基板50上にコンタクトホール67および導電性プラグ68を形成する段階を示す。フィールド酸化膜52により活性領域および分離領域に区分された半導体基板50上にゲート酸化膜54およびゲート電極56を形成する。次いで、ゲート電極56をイオン注入マスクとして使用して不純物イオンを注入することにより、基板50にドレイン領域60aとソース領域60bを形成する。次に、前記結果物上に第1絶縁膜58を形成し、これを異方性食刻してドレイン領域60aを露出させた後、このドレイン領域60a上に第2絶縁膜64でキャッピングされたビットライン62を形成する。次いで、前記トランジスタおよびビットライン62の形成により屈曲の生じた基板50の表面を平坦化させるために、結果物の全面に平坦化層66を形成する。次に、写真食刻工程でソース領域60b上に積層されている平坦化層66および第1絶縁膜58を食刻して、後に形成されるキャパシタの下部電極をソース領域60bに接続させるためのコンタクトホール67を形成する。次いで、コンタクトホール67の形成された基板50上に導電物質、例えば、不純物がドーブされたポリシリコンを蒸着したのちエッチバックしてコンタクトホール67の内部を導電物質で埋め立てて導電性プラグ68を形成する。

40

50

【0016】図3は、低誘電体パターン70を形成する段階を示す。導電性プラグ68の形成された結果物上に低誘電率を有する物質、例えば酸化物を数百～2000

A程度の厚さに堆積した後、これを写真食刻工程でパタニングすることにより低誘電体パターン70を形成する。ここで、低誘電体パターン70はキャパシタ下部電極の厚さに応じてその厚さを調整することができ、HTO、USGおよびBP SG等の酸化物系列や他の低誘電率物質を使用することができる。

【0017】図4は、障壁導電層72、キャパシタ下部電極74および物質層76を形成する段階を示す。低誘電体パターン70の形成された結果物上に導電物質、例えば、チタン(Ti)やチタンナイトライド(TiN)をスパッタリング方法で堆積して障壁導電層72を形成する。次いで、障壁導電層72上に耐熱性導電物質、例えば、白金(Pt)をスパッタリング方法で堆積してキャパシタ下部電極74を形成し、続けて、その上にSOGを厚く塗布して物質層76を形成する。この際、前記SOGよりなる物質層76により結果物の表面が平坦化される。

【0018】図5は、CMP方法を使用して低誘電体パターン70の表面が露出されるまで、例えば、低誘電体パターン70が約100Å未満に研磨されるまで物質層76、下部電極74および障壁導電層72を順に研磨することによりキャパシタ下部電極74をパタニングする段階を示す。図6は、強誘電体膜78およびキャパシタ上部電極80を形成する段階を示す。下部電極74のパタニングされた結果物上に強誘電率を有する物質、例えば、BSTをスパッタリング方法、化学気相蒸着(CVD)方法、液体ソースCVD方法またはゾルゲル方法などのいずれか一つを使用して堆積させることによりキャパシタの強誘電体膜78を形成する。次いで、この強誘電膜78上に導電物質、例えば、白金(Pt)を堆積してキャパシタの上部電極80を形成する。

【0019】本発明の一実施例により製造されたキャパシタは、キャパシタと隣接キャパシタ間の領域の全てが低誘電体パターン70で埋め立てられている。キャパシタと隣接キャパシタとの距離をdで示すと、カップリングキャパシタンス(Ccp)は下記(6)式で示される。

$$C_{cp} = \epsilon (A/d) \quad \dots (6)$$

ここで、 $\epsilon$ は誘電定数であり、Aは本発明の一実施例によるストレージノードの面積であって、従来の方法によるカップリングキャパシタの面積(Aox)と同一である。しかし、本発明によるカップリングキャパシタの厚さdは、例えば1Giga DRAMの一般的な予想値であってストレージノード間の間隔を0.2 $\mu$ m、酸化物スペーサの厚さを500Åと仮定すると、従来の方法による厚さd<sub>ox</sub>より少なくとも4倍以上大きい。したがって、本発明によるカップリングキャパシタンスは従来の方法より2倍以上小さいので、素子の誤動作を防止することがで

きる。

【0020】

【発明の効果】以上説明したように、本発明によれば、CMP方法を使用してキャパシタの下部電極をパタニングするので従来の方法に比して下部電極を容易にパタニングし得る。また、キャパシタと隣接キャパシタ間の領域の両方が低誘電体パターンで埋め立てられるのでカップリングキャパシタンスによる素子の誤動作を防止することができる。

【図面の簡単な説明】

【図1】従来の方法による強誘電体キャパシタを有する半導体メモリ装置を示す断面図である。

【図2】本発明の一実施例による強誘電体キャパシタを有する半導体メモリ装置の製造方法を示す断面図である。

【図3】本発明の一実施例による強誘電体キャパシタを有する半導体メモリ装置の製造方法を示す断面図である。

【図4】本発明の一実施例による強誘電体キャパシタを有する半導体メモリ装置の製造方法を示す断面図である。

【図5】本発明の一実施例による強誘電体キャパシタを有する半導体メモリ装置の製造方法を示す断面図である。

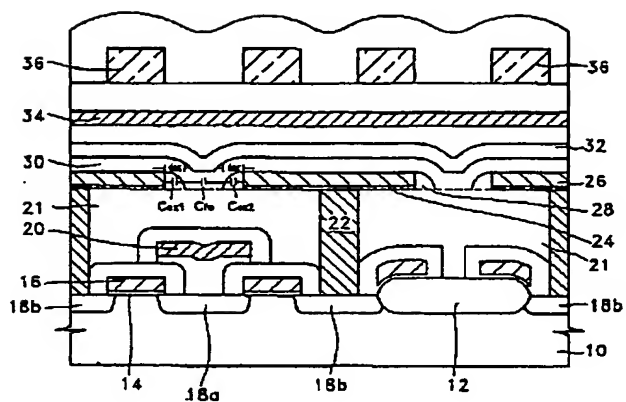
【図6】本発明の一実施例による強誘電体キャパシタを有する半導体メモリ装置の製造方法を示す断面図である。

【符号の説明】

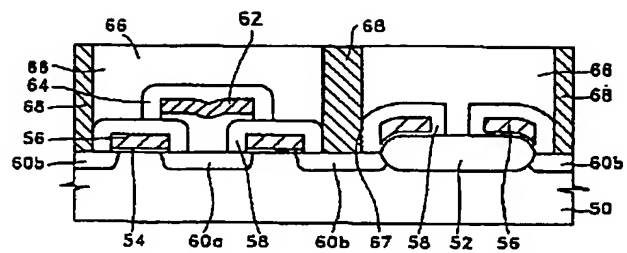
50	半導体基板
52	フィールド酸化膜
54	ゲート酸化膜
56	ゲート電極
58	第1絶縁膜
60a	ドレイン領域
60b	ソース領域
62	ビットライン
64	第2絶縁膜
66	平坦化層
67	コンタクトホール
68	導電性プラグ
70	低誘電体パターン
72	障壁導電層
74	キャパシタ下部電極(下部電極)
76	物質層
78	強誘電体膜
80	上部電極

【図1】

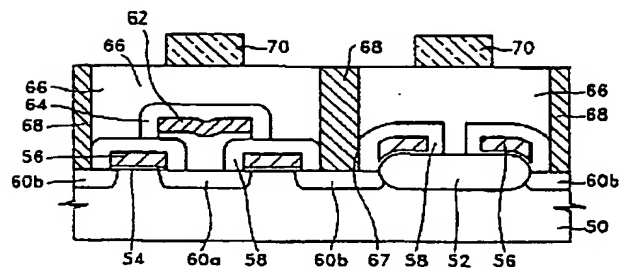
(従来の技術)



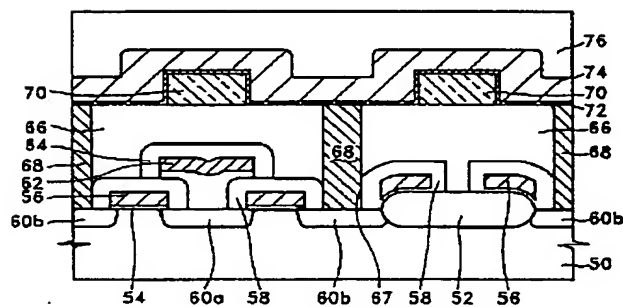
【図2】



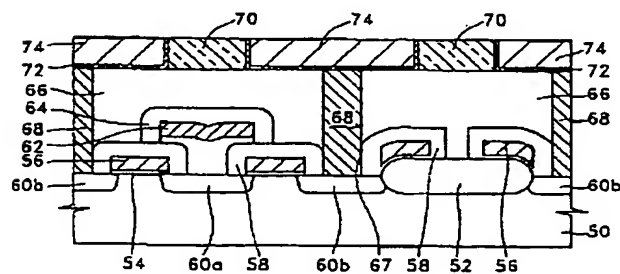
【図3】



【図4】



【図5】



【図6】

